

**PAT-NO: JP02003188710A**

**DOCUMENT-IDENTIFIER: JP 2003188710 A**

**TITLE: LEVEL CONVERTER CIRCUIT**

**PUBN-DATE: July 4, 2003**

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>WATANABE, HIROSHI</b>	<b>N/A</b>

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>TEXAS INSTR JAPAN LTD</b>	<b>N/A</b>

**APPL-NO: JP2001388907**

**APPL-DATE: December 21, 2001**

**INT-CL (IPC): H03K019/0185**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide a bidirectional level converter circuit corresponding to high frequencies.

**SOLUTION:** A port A of a high voltage and a port B of a low voltage are connected by a path transistor 12, and the side of the port A is hung on a power supply voltage terminal C by parallel connected main and sub switch circuits 21 and 22. In the case of transmitting a level converted signal from

**the side of the port B to the side of the port A when the port B is changed from a low level to a high level, both the main and sub switch circuits 21 and 22 are turned on when the level of the port A increases, and the sub switch circuit 21 is turned off after the port A reaches the high level. By configuring the sub switch circuit 22 of the lower impedance than that of the main switch circuit 21, when the level of the port A increases, the capacitance of a load connected to the port A is charged with a large current passing through the sub switch circuit 22. When changing the port B from the high level to the low level, the sub switch circuit 22 is turned off.**

**COPYRIGHT: (C)2003,JPO**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-188710

(P2003-188710A)

(43)公開日 平成15年7月4日(2003.7.4)

(51)IntCl.<sup>7</sup>

H 0 3 K 19/0185

識別記号

F I

H 0 3 K 19/00

テマコード(参考)

1 0 1 B 5 J 0 5 6

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21)出願番号 特願2001-388907(P2001-388907)

(22)出願日 平成13年12月21日(2001.12.21)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都新宿区西新宿六丁目24番1号

(72)発明者 渡辺 浩

大分県速見郡日出町大字川崎字高尾4260番  
地 日本テキサス・インスツルメンツ株式  
会社内

(74)代理人 100102875

弁理士 石島 茂男 (外1名)

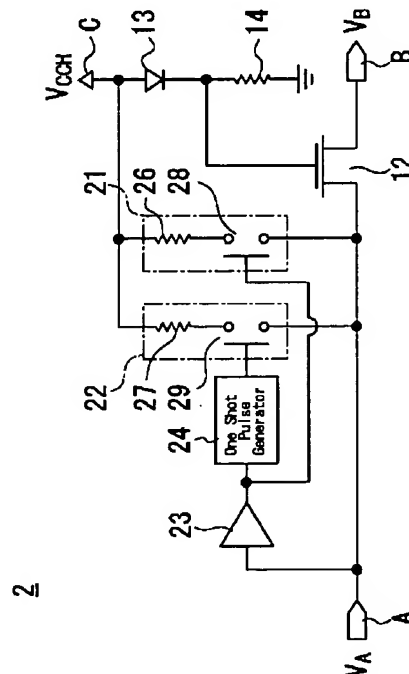
Fターム(参考) 5J056 AA32 AA33 BB01 BB17 BB51  
CC00 CC21 DD13 DD26 DD27  
DD28 DD51 DD55 FF08 GG06  
KK01

(54)【発明の名称】 レベル変換回路

(57)【要約】

【課題】高周波に対応した双方向のレベル変換回路を提供する。

【解決手段】高電圧のポートAと低電圧のポートBの間をバストランジスタ12で接続し、ポートA側を並列接続した主及び副スイッチ回路21、22によって電源電圧端子Cに吊る。ポートBがローレベルからハイレベルに変化し、ポートB側からポートA側にレベル変換した信号を伝達する場合に、ポートAのレベルが上昇するときに主及び副スイッチ回路21、22の両方をオンさせ、ポートAがハイレベルに達した後は副スイッチ回路21をオフさせる。副スイッチ回路22は主スイッチ回路21よりも低インピーダンスに構成しておくこと、ポートAのレベルが上昇する際、ポートAに接続された負荷容量が副スイッチ回路22を通った大電流で充電される。ポートBがハイレベルからローレベルに変化するとき、副スイッチ回路22はオフさせておく。



## 【特許請求の範囲】

【請求項1】第1の論理レベルの信号が印加される第1の端子と、

上記第1の論理レベルよりも小さな論理レベルである第2の論理レベルの信号が印加される第2の端子と、

上記第1の端子と上記第2の端子との間に接続されたトランジスタと、

上記第1の論理レベルに対応する電源電圧が供給される電源端子と上記第1の端子との間に接続され、上記第1の端子レベルに応じて導通する第1のスイッチ回路と、  
 上記第1の論理レベルに対応する電源電圧が供給される電源端子と上記第1の端子との間に接続され、上記第1の端子の論理レベルに応じて上記第1のスイッチ回路と共に所定の期間だけ導通する第2のスイッチ回路と、  
 を有し、上記第1の端子から上記第2の端子の向き又は上記第2の端子から上記第1の端子の向きに論理レベルの異なる信号を伝播可能なレベル変換回路。

【請求項2】上記第1のスイッチ回路の導通時の抵抗値が上記第2のスイッチ回路の導通時の抵抗値よりも大きい請求項1に記載のレベル変換回路。

【請求項3】上記第1の端子の論理レベルの変化に応じて上記第2のスイッチ回路を一時的に導通させるためのパルス信号を生成するパルス生成回路を有する請求項2に記載のレベル変換回路。

【請求項4】上記トランジスタと上記第1及び第2のスイッチ回路とがそれぞれMOSトランジスタで構成される請求項3に記載のレベル変換回路。

【請求項5】上記トランジスタがnMOSトランジスタで構成され、上記nMOSトランジスタのゲート端子に上記第2の論理レベルに応じた電源電圧よりも当該nMOSトランジスタの閾値電圧分だけ高い電圧が印加される請求項4に記載のレベル変換回路。

【請求項6】2つの入力端子が上記第1の端子とインネブル信号印加端子とにそれぞれ接続されたNAND回路と、上記第1の論理レベルに対応する電源電圧が供給される電源端子と基準電圧が供給される電源端子との間に直列に接続されたダイオードと抵抗素子とで構成される電圧供給回路とを有し、

上記第1及び第2のスイッチ回路がそれぞれ第1及び第2のpMOSトランジスタで構成され、

上記パルス生成回路が上記第1の論理レベルに対応する電源電圧が供給される電源端子と上記NAND回路の出力端子との間に直列に接続された抵抗素子とキャパシタとで構成され、

上記第1のpMOSトランジスタのゲート端子が上記NAND回路の出力端子に接続され、上記第2のpMOSトランジスタのゲート端子が上記パルス生成回路の抵抗素子とキャパシタとの接続中点に接続され、上記nMOSトランジスタのゲート端子が上記電圧供給回路のダイオードと抵抗素子との接続中点に接続される請求項5に

記載のレベル変換回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はレベル変換回路の技術分野にかかり、特に、双方向のレベル変換回路に関する。

【0002】

【従来の技術】電子機器システムでは、ICの集積化が進み、それに伴い、電源電圧の低電圧化が進んでいる。例えば、従来では5V単一電源で動作していたシステムでも、新しいLSIが採用されると、3.3Vや2.5V等の低電圧電源が必要になって来ている。更に近年の実際のシステムでは、既存のICやシステムとインターフェイスをとるために、複数の電源電圧が混在した状態が一般的になっている。このようなシステムでは5Vの信号を3.3V等の低電圧の信号にレベル変換したり、その逆に、3.3V等の低電圧の信号を5Vにレベル変換する必要がある。

【0003】このようなレベル変換の方法は色々あり、また、レベル変換専用のロジックICも存在している。

【0004】図3の符号101は、従来技術のロジックICの内部回路のうち、NチャネルMOSトランジスタから成るバストラジスタ102を使用したレベル変換回路の例を示している。

【0005】このレベル変換回路101では、バストラジスタ102のゲート端子がダイオード103を介して電源電圧線Cに接続されており、電源電圧線Cから印加される電源電圧 $V_{CC}$ によってバストラジスタ102がオン状態にある。ソース端子から見たゲート端子の電圧をゲート電圧 $V_{tn}$ とすると、ソース端子であるポートBの電圧 $V_B$ は、ドレイン端子であるポートAの電圧 $V_A$ の大きさにかかわらず、ゲート端子の電圧 $V_{s0}$ よりもゲート電圧（閾値電圧） $V_{tn}$ だけ電圧降下した電圧となる。

【0006】即ち、ポートAの電圧 $V_A$ がポートBの電圧 $V_B$ よりも高い限り、ポートBの電圧 $V_B$ は（ゲート端子の電圧 $V_{s0}$ －ゲート電圧 $V_{tn}$ ）の大きさに制限される。

【0007】例えば、 $V_{tn}=1.0V$ であるとし、ポートAの電圧 $V_A$ をレベル変換して $V_B=3.3V$ の信号を生成する場合には、ゲート端子の電圧 $V_{s0}$ を4.3Vにすれば、ポート端子Aの電圧が3.3V以上であれば、ポートBから3.3Vの電圧が出力される。従って、バスのインターフェースとして5Vと3.3Vの両方の電圧に対応しなければならない場合でも、バストラジスタ102を導通させておくことで両方の電圧に対応することができる。

【0008】他方、ゲート端子の電圧 $V_{s0}$ をGNDレベルにし、バストラジスタ102を遮断させることで、ポートAからポートBへの信号伝達を遮断できるので、

バスの活線挿抜機能を実現するためにも有効となる。パストランジスタ102の導通抵抗を小さくすることでポートAからポートBへの信号遅延時間は無視できるほどにすることができる。

【0009】上記のレベル変換回路101は、高いレベルから低いレベルへのレベル変換は可能であるが、低いレベルから高いレベルへのレベル変換には対応していない。バスのインターフェースとして利用する場合、双方向のレベル変換を行いたい場合も多い。

【0010】図4の符号111は、それを実現するレベル変換回路の例であり、ポートAがプルアップ抵抗115によって高電圧の電源電圧端子Dにプルアップされている他は、図3のレベル変換回路101と同じ構成である。

【0011】このレベル変換回路111でも、パストランジスタ102のゲート端子の電圧を $V_{s0}$ とすると、ポートBの電圧 $V_B$ が $V_{s0}-V_{tn}$ 以上の大きになるとパストランジスタ102はオフ状態になり、その結果、ポートAには、プルアップ抵抗115を介して高電源電圧 $V_{CCH}$ が印加される。高電源電圧 $V_{CCH}$ が5.0Vであり、ポートBの電圧 $V_B$ が3.3Vである場合、ポートAの電圧 $V_A$ は5.0Vとなるから、3.3Vの低電圧の信号が5.0Vの高電圧の信号にレベル変換されたことになる。

【0012】このレベル変換回路111では、ポートA、B間の双方向にレベル変換が可能であるが、以下のような欠点を有している。

【0013】(1)ポートBの電圧 $V_B$ がポートAに伝達され、その結果、ポートAの電圧 $V_A$ がローレベルからハイレベルに変化する場合、電圧 $V_A$ の大きさが、 $V_{s0}-V_{tn}$ よりも大きくなった時点で、その電圧変化は、プルアップ抵抗115の抵抗値の大きさとポートAの負荷容量の大きさによって定まる時定数で制限され、変化が遅くなる。従って、高い周波数の信号に追従することができない。

【0014】(2)ポートAの電圧 $V_A$ がローレベルにあると、プルアップ抵抗115に大きな電流が流れ続けてしまう。

【0015】(3)プルアップ抵抗115はレベル変換回路111の外付け部品であるため、余分な部品を必要とし、ボード面積も余分に必要となる。

【0016】

【発明が解決しようとする課題】本発明は上記従来技術の欠点を解消するために創作されたものであり、その目的は、高い周波数の信号でも双方向にレベル変換が可能で、省電力、省スペースのレベル変換回路を提供することにある。

【0017】

【課題を解決するための手段】上記課題を解決するために、本発明のレベル変換回路は、第1の論理レベルの信

号が印加される第1の端子と、上記第1の論理レベルよりも小さな論理レベルである第2の論理レベルの信号が印加される第2の端子と、上記第1の端子と上記第2の端子との間に接続されたトランジスタと、上記第1の論理レベルに対応する電源電圧が供給される電源端子と上記第1の端子との間に接続され、上記第1の端子の論理レベルに応じて導通する第1のスイッチ回路と、上記第1の論理レベルに対応する電源電圧が供給される電源端子と上記第1の端子との間に接続され、上記第1の端子の論理レベルに応じて上記第1のスイッチ回路と共に所定の期間だけ導通する第2のスイッチ回路とを有し、上記第1の端子から上記第2の端子の向き又は上記第2の端子から上記第1の端子の向きに論理レベルの異なる信号を伝播可能である。本発明においては、上記第1のスイッチ回路の導通時の抵抗値が上記第2のスイッチ回路の導通時の抵抗値よりも大きいことが好ましく、更には、上記第1の端子の論理レベルの変化に応じて上記第2のスイッチ回路を一時的に導通させるためのパルス信号を生成するパルス生成回路を有することが好ましい。また、本発明においては、上記トランジスタと上記第1及び第2のスイッチ回路とがそれぞれMOSトランジスタで構成されることが好ましく、更には上記トランジスタがnMOSトランジスタで構成され、上記nMOSトランジスタのゲート端子に上記第2の論理レベルに応じた電源電圧よりも当該nMOSトランジスタの閾値電圧分だけ高い電圧が印加されることが好ましい。更には、2つの入力端子が上記第1の端子とイネーブル信号印加端子とにそれぞれ接続されたNAND回路と、上記第1の論理レベルに対応する電源電圧が供給される電源端子と基準電圧が供給される電源端子との間に直列に接続されたダイオードと抵抗素子とで構成される電圧供給回路とを有し、上記第1及び第2のスイッチ回路がそれぞれ第1及び第2のpMOSトランジスタで構成され、上記パルス生成回路が上記第1の論理レベルに対応する電源電圧が供給される電源端子と上記NAND回路の出力端子との間に直列に接続された抵抗素子とキャパシタとで構成され、上記第1のpMOSトランジスタのゲート端子が上記NAND回路の出力端子に接続され、上記第2のpMOSトランジスタのゲート端子が上記パルス生成回路の抵抗素子とキャパシタとの接続中点に接続され、上記nMOSトランジスタのゲート端子が上記電圧供給回路のダイオードと抵抗素子との接続中点に接続されるということが好ましい。

【0018】本発明は上記のように構成されており、基準電位をグラウンド電位と同じ電位であるローレベルの信号とすると、第1及び第2の論理レベルに応じた電源電圧は正電位又は負電位となり、第1、第2の端子は、それぞれ論理レベルの異なるハイレベルとローレベルからなる2値の信号の伝達経路となる。

【0019】第1の端子と第2の端子の間にはトラン

ジスタが設けられており、トランジスタをオフさせると両端子間が遮断され、オンすると接続される。

【0020】上記トランジスタがMOSトランジスタである場合は、ソース端子を低電圧側の第2の端子に接続し、ドレイン端子を高電圧側の第1の端子に接続し、ゲート端子にソース端子を基準として閾電圧以上の電圧が印加されるように構成すると、ドレイン端子の電圧はソース端子の電圧に追従して変化するので、ソース端子に第2の論理レベルの信号が印加されたときに、ドレイン端子にはそれよりも高い論理レベルである第1の論理レベルの信号が現われるようにすることができる。

【0021】第2の端子の電位を基準電位から第2の論理レベルに応じた電源電圧に変化させる場合は、第1及び第2のスイッチ回路に供給する電源電圧を第1の論理レベルに応じた電源電圧の電位まで変化させる。この場合、第1の端子の電位が変化し始めるときに、第2のスイッチ回路を所定期間導通させると、第1の端子に電源電圧から大電流が供給されるので、第1の端子に接続された負荷容量が素早く充電され、変化の早い電圧波形を得ることができる。

【0022】それとは逆に、第2の端子の電位を第2の論理レベルに応じた電源電圧から基準電位に変化させることで、第1の端子の電位を第1の論理レベルに応じた電源電圧から基準電位に変化させる場合は、第2のスイッチ回路をオフさせておくことで、第2の端子の電位を変化させる回路の負担を減少させることができる。

【0023】

【発明の実施の形態】図1の符号2は、本発明の一例のレベル変換回路を示している。このレベル変換回路2は、NチャネルMOSトランジスタから成るパストランジスタ12と、ダイオード13と、抵抗素子14と、バッファ回路23と、パルス生成回路24と、主スイッチ回路21と、副スイッチ回路22とを有している。

【0024】ダイオード13のアノード端子は、電源電圧端子Cに接続され、カソード端子は抵抗素子14の一端に接続されている。この抵抗素子14の他端はグラウンド電位に接続されており、従って、ダイオード13と抵抗素子14は直列接続され、その直列接続回路が電源電圧端子Cとグラウンド電位との間に挿入されている。

【0025】パストランジスタ12のゲート端子は、ダイオード13と抵抗素子14とが接続された部分、即ちダイオード13のカソード端子に接続されている。電源電圧端子Cには電源電圧 $V_{CCH}$ が印加されており、ダイオード13の導通電圧を $V_D$ とすると、パストランジスタ12のゲート端子には、 $V_{CCH} - V_D$ の電圧が印加される。

【0026】パストランジスタ12のドレイン端子とソース端子はそれぞれ第1のポートであるポートAと、第2のポートであるポートBに接続されている。

【0027】主及び副スイッチ回路21、22は、一端

が、それぞれ電源電圧端子Cに接続され、他端がポートAに接続されている。

【0028】バッファ回路23の入力端子も、ポートAに接続されている。バッファ回路23の出力端子は、主スイッチ回路21に直結されると共に、パルス生成回路24を介して副スイッチ回路22に接続されている。

【0029】バッファ回路23は入力された信号の電圧の大きさを変更せず、インピーダンス変換して出力する。従って、パルス生成回路24と主スイッチ回路21には、ポートAの電圧 $V_A$ と同じ大きさの電圧が入力される。

【0030】主及び副スイッチ回路21、22は、主スイッチ素子28と副スイッチ素子29をそれぞれ有している。主及び副スイッチ素子28、29は、入力される電圧がローレベルのときにオフし、ローレベルよりも大きい所定電圧でオンするように構成されている。

【0031】例えば、ポートAが入力側、ポートBが出力側であり、ポートAの電圧 $V_A$ がローレベルにあるときには、主及び副スイッチ素子28、29は両方ともオフ状態にある。パストランジスタ12のゲート端子に印加される電圧は、パストランジスタ12の閾電圧よりも大きいため、この状態ではパストランジスタ12はオンしており、パストランジスタ12によってポートBはポートAに接続され、グラウンド電位になる。即ち、ポートAの電圧 $V_A$ がローレベルのときは、ポートBの電圧 $V_B$ もローレベルとなる。

【0032】それとは逆に、ポートBが入力側、ポートAが出力側であり、ポートBの電圧 $V_B$ がローレベルであるときもパストランジスタ12はオンし、その結果、ポートAの電圧 $V_A$ はローレベルとなる。このときも主及び副スイッチ素子28、29は両方ともオフ状態である。

【0033】次に、ポートBが入力側、ポートAが出力側であり、ポートBの電圧 $V_B$ がローレベルにある状態からハイレベルに変化する場合を説明する。

【0034】ここで、ポートA側のハイレベルの電圧(第1の電圧)と、ポートB側のハイレベルの電圧(第2の電圧)は、共に正電圧であり、ポートA側のハイレベルの電圧の方がポートB側のハイレベルの電圧よりも高いものとする。

【0035】また、ポートA側のハイレベルの電圧は、この実施例では電源電圧端子Cに印加される電源電圧 $V_{CCH}$ と同じ大きさであり、例えば、電源電圧 $V_{CCH}$ 及びポートA側のハイレベルの電圧は5Vである。

【0036】それに対し、ポートB側のハイレベルの電圧は、ポートA側の側のハイレベルの電圧よりも低く、例えば3.3Vである。

【0037】要するに、ハイレベルにあるときのポートA、Bのレベルをそれぞれ、“ハイレベルA”、“ハイレベルB”とすると、

(ハイレベルAの電圧) > (ハイレベルBの電圧)  
であり、パストランジスタ12のゲート端子の電圧 $V_{g0}$   
は、パストランジスタ12の閾電圧を $V_{tn}$ とすると、 $V_{g0}$   
=ハイレベルBの電圧+ $V_{tn}$ の電圧が印加される。

【0038】ポートBの電圧 $V_B$ がローレベルからハイレベルBに上昇する場合、パストランジスタ12のドレイン端子の電圧、即ちポートAの電圧 $V_A$ は、ソース端子の電圧、即ちポートBの電圧 $V_B$ の上昇と共に上昇する。

【0039】上昇中のポートAの電圧 $V_A$ は、バッファ回路23を介して主スイッチ回路21に直接入力されており、ポートAの電圧 $V_A$ がローレベルを超え、ハイレベルBの電圧以下の所定電圧値に達すると、主スイッチ素子28がオンする。

【0040】ポートAの電圧 $V_A$ は、バッファ回路23を介してパルス生成回路24にも入力されている。

【0041】このパルス生成回路24はワンショットパルスジェネレータであり、入力される電圧が主スイッチ素子28をオンさせるまで上昇すると、副スイッチ素子29をオンさせるパルス電圧を出力する。

【0042】従って、ポートAの電圧 $V_A$ が上昇するときには、主スイッチ素子28と副スイッチ素子29は同時にオンする。

【0043】主及び副スイッチ回路28、29内には、それぞれ主及び副スイッチ素子28、29と直列接続された主及び副抵抗素子26、27が設けられており、電源電圧端子CとポートAとの間には、直列接続回路によって接続されている。

【0044】従って、主及び副スイッチ回路28、29が両方とも同時に導通した状態では、ポートAは、主及び副スイッチ回路28、29の両方によって電源電圧端子Cに接続されるため、ポートAには、電源電圧端子Cから主抵抗素子26を通して流れる主電流 $I_1$ と、副抵抗素子27を通して流れる副電流 $I_2$ の両方が供給される。

【0045】その結果、ポートAに接続されている負荷容量が主電流 $I_1$ と副電流 $I_2$ とによって充電されるため、ポートAの電圧 $V_A$ は急速に上昇し、ポートBの電圧 $V_B$ の大きさを超え、ハイレベルAの電圧に速やかに到達する。

【0046】パルス生成回路24内には時定数回路が設けられており、パルス生成回路24は、副スイッチ素子29を導通させる電圧を出力した後、一定時間が経過すると、副スイッチ素子29をオフさせる。

【0047】このとき、ポートAの電圧 $V_A$ は既にハイレベルAの大きさに到達しており、バッファ回路23からはポートAの電圧 $V_A$ と同じ大きさの電圧が出力され続けているため、主スイッチ素子28はオン状態を維持する。

【0048】この状態では、ポートAは、主スイッチ回

路21によって電源電圧端子Cに接続されており、電源電圧端子Cから印加される電源電圧 $V_{ccn}$ によってポートAのハイレベルAが維持される。ポートAの電圧 $V_A$ がハイレベルAである場合には、主抵抗素子26の両端の電位差はゼロであり、主抵抗素子26には電流は流れない。

【0049】次に、ポートBがハイレベルBにある状態からローレベルに変化する場合を説明する。

【0050】ポートBがハイレベルBにあり、ポートAがハイレベルAで安定している状態では、副スイッチ回路22はオフしており、主スイッチ回路21だけがオン状態にある。

【0051】ポートBの電圧 $V_B$ が低下し始めると、それに伴い、ポートAの電圧 $V_A$ も低下し始めるが、ポートAの電圧 $V_A$ がハイレベルB以下の所定電圧値に到達するまでは、主スイッチ回路21がオン状態を維持する。

【0052】その結果、ポートAの電圧 $V_A$ が低下し始めることにより、主抵抗素子26の両端に電位差が生じ、主抵抗素子26に主電流 $I_1$ が流れ始める。また、ポートAの電圧 $V_A$ の低下により、負荷容量が放電を開始するため、その放電電流と主抵抗素子26に流れる主電流 $I_1$ とは、パストランジスタ12を通して、ポートBを駆動する回路に流入する。

【0053】主抵抗素子26の抵抗値は、副抵抗素子27の抵抗値よりも大きく設定されているため、主抵抗素子26に流れる主電流 $I_1$ は、副電流 $I_2$ に比べて無視できるほど微少である。従って、ポートBを駆動する回路は負荷容量の放電電流を扱うだけで済み、流駆動能力が低くてもポートAの電圧 $V_A$ は速やかに低下する。

【0054】ポートAの電圧 $V_A$ が低下し、主スイッチ素子28がオフすると、主電流 $I_1$ は流れなくなるため、ポートAは一層速やかにローレベルになる。

【0055】次に、ポートAが入力側、ポートBが出力側であり、ポートAの電圧 $V_A$ がローレベルからハイレベルAに変化する場合を説明する。

【0056】ポートAがローレベルからハイレベルAに変化する場合は、ポートAの電圧 $V_A$ が所定電圧以上に上昇したときに、主及び副スイッチ素子28、29が同時に導通し、ポートAは主及び副スイッチ回路28、29の両方によって電源電圧端子Cに接続される。従って、ポートAには、主及び副抵抗素子26、27を通して流れる主及び副電流 $I_1$ 、 $I_2$ の両方が供給され、電圧上昇が加速される。

【0057】パルス生成回路24により、一定時間が経過した後、副スイッチ素子29がオフされる。このときにはポートAは既にハイレベルAに到達している。

【0058】ポートAの電圧 $V_A$ がハイレベルAからローレベルに変化するときには、ポートBの電圧 $V_B$ は、ポートAの電圧 $V_A$ に追従する。

【0059】図2の符号3は、図1のレベル変換回路2を具体化したレベル変換回路であり、主及び副スイッチ回路21、22を、PチャネルMOSトランジスタで構成し、主及び副スイッチ素子28、29のスイッチ機能をトランジスタのオン/オフで行わせ、主及び副抵抗素子26、27の電流制限機能を、MOSトランジスタの内部抵抗に行わせている。

【0060】また、バッファ回路23はNAND素子33で構成し、その一方の入力端子をポートAに接続し、他方の入力端子をEN端子に接続し、EN端子にハイレベルBの電圧を印加しておけば、ポートAの電圧が反転して出力される。

【0061】この場合、ポートAの電圧 $V_A$ がローレベルからハイレベルAに上昇するとき、又はハイレベルAからローレベルに低下するときには、NAND素子33の閾電圧を超えた時点で、NAND素子33の出力電圧は、ハイレベルAとローレベルとの間で反転する。

【0062】主及び副スイッチ素子28、29はPチャネルMOSトランジスタであるからNAND素子33からローレベルの電圧が出力されたときに導通する。

【0063】パルス生成回路24は、時定数抵抗34とコンデンサ35の直列接続回路によって構成されており、その直列接続回路の両端のうち、時定数抵抗34側が電源電圧端子Dに接続され、電源電圧 $V_{CCH}$ が印加されている。コンデンサ35側の端子はNAND素子33の出力端子に接続されている。

【0064】NAND素子33の出力端子は、主スイッチ回路21のPチャネルMOSトランジスタ31のゲート端子に直結されると共に、コンデンサ35と時定数抵抗34の直列接続回路のコンデンサ35側の一端に接続されている。

【0065】コンデンサ35と時定数抵抗34とが接続された接続点を符号Mで表すと、NAND素子33の出力端子の電圧がハイレベルAからローレベルに変化した場合に、主スイッチ回路21のPチャネルMOSトランジスタ31のゲート端子の電圧と、接続点Mの電圧は、瞬時にローレベルになる。

【0066】従って、主及び副スイッチ回路21、22の両方のPチャネルMOSトランジスタ31、32は同時にオンし、その後、時定数抵抗34を通った電流でコンデンサ35が充電され、接続点Mの電圧が上昇し、副スイッチ回路22のPチャネルMOSトランジスタ32がオン状態を維持できなくなると、主スイッチ回路21のPチャネルMOSトランジスタ31はオンを維持した状態で、副スイッチ回路22のPチャネルMOSトランジスタ32がオフする。

【0067】主スイッチ回路21のPチャネルMOSトランジスタ31には小面積のトランジスタが用いられており、内部抵抗が大きくなっている。副スイッチ回路22のPチャネルMOSトランジスタ32は、大面積のト

ランジスタが用いられており、内部抵抗が小さくなっている。従って、主及び副スイッチ回路21、22の両方のPチャネルMOSトランジスタ31、32が導通した状態では、主として副スイッチ回路22のPチャネルMOSトランジスタ32に電流が流れ、そのMOSトランジスタ32がオフした後は、ほとんど電流は流れなくなる。

【0068】図4は、このレベル変換回路3のポートBを入力側、ポートAを出力側とし、低い電圧の信号を高い電圧の信号に変換した場合の電圧 $V_A$ 、 $V_B$ の波形変化を示すグラフである。出力側であるポートAの電圧 $V_A$ は、入力側であるポートBの電圧 $V_B$ にの電圧波形に対し、ほぼ完全に追従している。

【0069】図5は、それとは逆に、ポートAを入力側とし、ポートBを出力側として高い電圧を低い電圧に変換した場合の電圧 $V_A$ 、 $V_B$ の波形変化である。この場合、EN端子にローレベルの信号を印加し、主及び副スイッチ回路21、22をオフさせておいても、波形に変化はない。

【0070】なお、上記はローレベルがグラウンド電位、ハイレベルA、B及び電源電圧 $V_{CC}$ 、 $V_{CCH}$ が正電圧の場合について説明したが、ハイレベルA、B及び電源電圧 $V_{CC}$ 、 $V_{CCH}$ が負電圧の場合についても本発明は含まれる。その場合は、  
(ハイレベルAの電圧) < (ハイレベルBの電圧) < (グラウンド電位)

である。

【0071】また、上記例では、バスタランジスタ12や主及び副スイッチ回路21、22にMOSトランジスタを使用した場合について説明したが、本発明はバイポーラトランジスタの他、種々のスイッチ素子を使用することも可能である。

【0072】

【発明の効果】省電力、省スペースの回路で双方向のレベル変換が可能になる。

【図面の簡単な説明】

【図1】本発明の一例のレベル変換回路の回路ブロック図

【図2】そのブロック図を具体化した場合のレベル変換回路の例

【図3】従来技術の片方向レベル変換回路

【図4】従来技術の両方向レベル変換回路

【図5】本発明のレベル変換回路の電圧波形を示すグラフ(高電圧側のポートが入力側の場合)

【図6】本発明のレベル変換回路の電圧波形を示すグラフ(低電圧側のポートが入力側の場合)

【符号の説明】

A……第1のポート

B……第2のポート

2、3……レベル変換回路

1 1

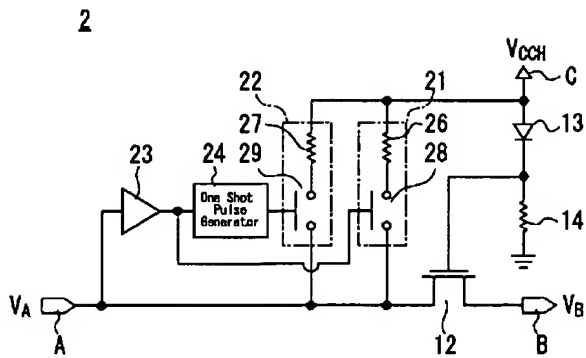
1 2

1 2……バストランジスタ

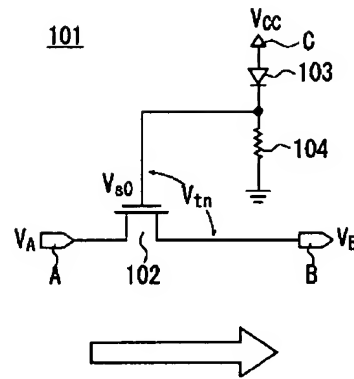
2 2……副スイッチ回路

2 1……主スイッチ回路

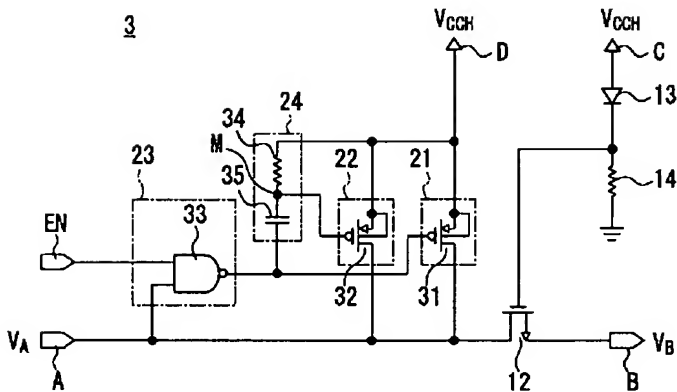
【図1】



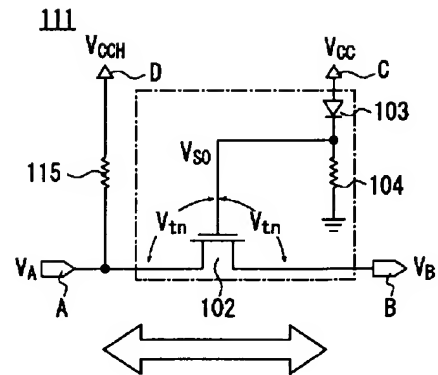
【図3】



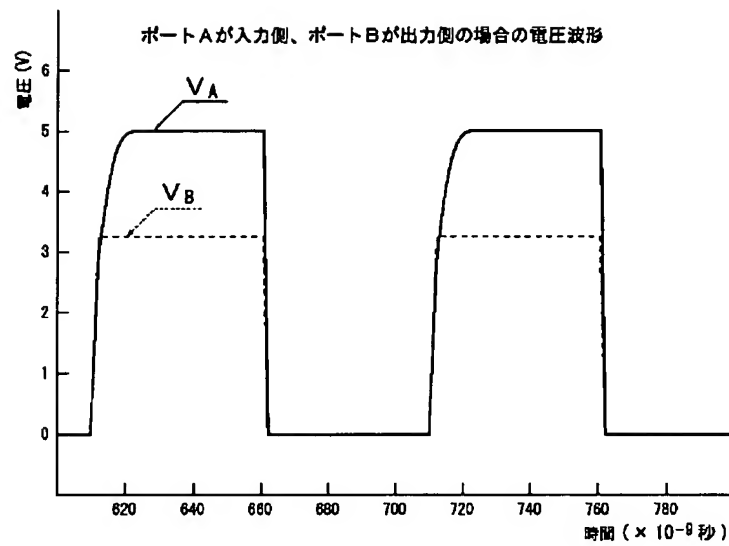
【図2】



【図4】



【図5】



【図6】

